

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-36568

(P 2 0 0 0 - 3 6 5 6 8 A)

(43)公開日 平成12年2月2日(2000.2.2)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H01L 27/10	451	H01L 27/10	451 5F001
	481		481 5F083
27/108			651
21/8242		29/78	371
21/8247			

審査請求 未請求 請求項の数7 OL (全7頁) 最終頁に続く

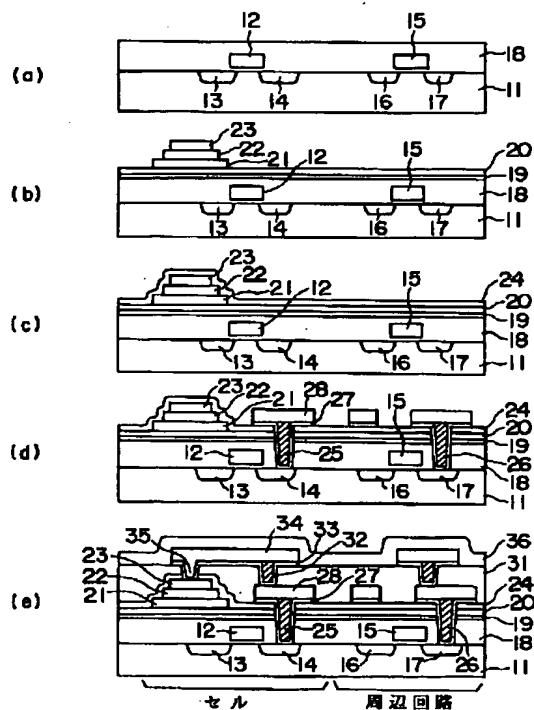
(21)出願番号	特願平10-202979	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成10年7月17日(1998.7.17)	(72)発明者	首 藤 晋 神奈川県川崎市幸区小向東芝町1 株式会 社東芝研究開発センター内
		(74)代理人	100064285 弁理士 佐藤 一雄 (外3名)
		Fターム(参考)	5F001 AA17 AD12 AG10 AG21 5F083 FR02 GA09 JA15 JA38 JA39 PR03 PR21 PR38 PR40

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 1層目の配線層を平坦に形成し、かつ配線層と半導体基板表面とを接続するコンタクトホールの加工及び埋め込みが容易である半導体記憶装置及びその製造方法を提供する。

【解決手段】 F R A Mキャパシタの上部電極 2 3 がコンタクトホール 3 5、2 層目の配線層 3 4、コンタクトホール 3 3、1 層目の配線層 2 8、コンタクトホール 2 5 を介して半導体基板 1 1 の表面の拡散層 1 4 と接続されており、1 層目の配線層 2 8 が F R A M キャパシタとほぼ同じ高さに形成されている。これにより、1 層目の配線層 2 8 と半導体基板 1 1 の表面とを接続するコンタクトホール 2 5 の深さを浅くしてアスペクト比を小さくすることができる。この結果、コンタクトホールの加工及び埋め込みが容易になり、微細化が可能となる。



## 【特許請求の範囲】

【請求項 1】トランジスタおよび強誘電体キャパシタを含むセルを有する半導体記憶装置において、半導体基板表面に第 1 の絶縁層を介して形成した前記強誘電体キャパシタと、前記強誘電体キャパシタを覆うように形成した第 2 の絶縁層の表面上に形成した第 1 の配線層と、前記第 1 の配線層を覆うように形成した第 3 の絶縁層の表面上に形成され、第 2 及び第 3 の絶縁層に開口したコンタクトホールを介して前記強誘電体キャパシタの上部電極に直接接続された第 2 の配線層とを備えることを特徴とする半導体記憶装置。

【請求項 2】請求項 1 記載の半導体記憶装置において、前記第 1 の絶縁層の内部に形成した第 3 の配線層をさらに備えることを特徴とする半導体記憶装置。

【請求項 3】請求項 2 記載の半導体記憶装置において、前記強誘電体キャパシタの上部電極と前記トランジスタの拡散層が前記第 3 の配線層を介して接続されていることを特徴とする半導体記憶装置。

【請求項 4】請求項 1 乃至 3 のいずれかに記載の半導体記憶装置において、前記第 1 の配線層と前記第 2 の配線層の少なくとも一方が、少なくともアルミニウム又は銅のいずれか一方を含む材料からできていることを特徴とする半導体記憶装置。

【請求項 5】トランジスタと強誘電体キャパシタを含むセルを有する半導体記憶装置の製造方法において、半導体の基板表面に第 1 の絶縁層を形成する工程と、前記第 1 の絶縁層上に強誘電体キャパシタを形成する工程と、前記強誘電体キャパシタ上を覆うように第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜上に第 1 の配線層を形成する工程と、前記第 1 の配線層上に第 3 の絶縁膜を形成する工程と、前記第 3 の絶縁膜及び第 2 の絶縁膜にコンタクトホールを開き前記強誘電体キャパシタの上部電極を露出させる工程と、前記第 3 の絶縁膜上に第 2 の配線層を形成する工程とを備えることを特徴とする半導体記憶装置の製造方法。

【請求項 6】請求項 5 記載の半導体記憶装置の製造方法において、前記第 1 の絶縁層の形成工程が 2 つ以上の絶縁層堆積工程からなり、前記第 1 の絶縁層内部に第 3 の配線層を形成する工程をさらに備えることを特徴とする半導体記憶装置の製造方法。

【請求項 7】請求項 5 又は 6 記載の半導体記憶装置の製造方法において、前記第 1 の配線層または前記第 2 の配線層のうちの少なくともいずれか一方の材料がアルミニウムまたは銅を含

んでいることを特徴とする半導体記憶装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置及びその製造方法に係わり、特に強誘電体メモリ (Ferroelectric Random Access Memory、以下 FRAM という) 及びその製造方法に関する。

【0002】

【従来の技術】FRAM 製品あるいは FRAM 混載ロジック製品は、図 4 に示されるようなセルの回路構成を備えている。各々のセルは、一つのトランジスタ Tr と一つのキャパシタ C とを有し、トランジスタ Tr のソース、ドレイン拡散層のうちの一端がキャパシタ C の一端と接続されている。トランジスタ Tr のソース、ドレイン拡散層の他端はビット線 BL に接続され、トランジスタ Tr のゲートはワード線 WL に接続され、キャパシタ C の他端はプレート線 PL に接続されている。

【0003】このような FRAM の従来のセル構造は、図 3 に示されるようであった。半導体基板 71 の表面がセル領域と周辺回路領域とに分かれており、セル領域と周辺領域とにおいてそれぞれドレイン拡散層 73 及びソース拡散層 74、ドレイン拡散層 76 及びソース拡散層 77 とが形成されている。半導体基板 71 上にゲート酸化膜を介してゲート電極 72、75 がそれぞれ形成され、これらのゲート電極 72 及び 75 上に BPSG 膜 78 が形成されてその表面が平坦化されている。BPSG 膜 78 の表面上には、バリア層としてのシリコン窒化膜 79 及びシリコン酸化膜 80 が形成されている。

【0004】シリコン酸化膜 80 の表面上に、下部電極 81、誘電体 82、上部電極 83 が順に形成されて FRAM 用キャパシタが構成されている。このキャパシタ及びシリコン酸化膜 80 の表面上に TEOS 等から成る絶縁層 84 が形成されてその表面が平坦化されている。

【0005】ここで、セル領域におけるトランジスタ Tr のゲート電極 72 はチタンやタングステン等の高融点金属により埋め込まれたコンタクトホールを介して絶縁膜 84 上に形成された配線である図示されていないワード線 WL に接続され、ドレイン拡散層 73 は先と同様に高融点金属により埋め込まれたコンタクトホールを介して絶縁膜 84 上に形成された配線である図示されていないビット線 BL に接続されている。ソース拡散層 74 はコンタクトホール 85 を埋める高融点金属膜及び 1 層目の配線層 88 を介してキャパシタの上部電極 83 に接続され、下部電極 81 は図示されていないプレート線 PL に接続されている。

【0006】BPSG 膜 78、シリコン窒化膜 79、シリコン酸化膜 80、絶縁層 84 にコンタクトホールが開孔されてソース拡散層 74、77 の表面が露出し、その内部がチタンやタングステン等の高融点金属膜 85 で埋め込まれている。また、絶縁層 84 にコンタクトホール

が開孔されて上部電極 8 3 の表面上が露出し、その内部表面に高融点金属膜 8 7 が形成されている。

【0007】絶縁層 8 4 の表面上にアルミニウム等から成る 1 層目の配線層 8 8 が形成され、上部電極 8 3 と接続されている。また配線層 8 8 は、コンタクトホール 8 5 を埋め込んでいる高融点金属膜 8 5 及び 8 7 を介してソース拡散層 7 4、7 7 と接続されている。

【0008】配線層 8 8 及び絶縁層 8 4 の表面上にさらに絶縁層 8 9 が形成されて平坦化されており、その表面上に 2 層目の配線層 9 2 が形成されている。2 層目の配線層 9 2 と 1 層目の配線層 8 8 とは、コンタクトホール 9 1 を介して接続されている。配線層 9 2 と絶縁層 8 9 の表面上は、パッシベーション膜 9 3 で覆われている。

【0009】

【発明が解決しようとする課題】しかし、上記構造を有する従来の半導体記憶装置には、次のような問題があった。図 3 に示されたように、1 層目の配線層 8 8 と半導体基板 7 1 表面のソース拡散層 7 4 とを接続するためのコンタクトホールを、BPSG 膜 7 8、シリコン窒化膜 7 9、シリコン酸化膜 8 0 及び絶縁層 8 4 の膜厚分だけ深く形成しなければならない。よって、コンタクトホールの開口径に対する深さのアスペクト比が大きくなり、コンタクトホールの加工及び埋め込みが困難であった。

【0010】また、FRAM 用キャパシタを覆う絶縁層 8 4 の表面を平坦化しない場合には、この絶縁層 8 4 の膜厚を薄くできるのでコンタクトホールの深さを浅くすることができる。しかし、この場合には絶縁層 8 4 上に形成する 1 層目の配線層 8 8 が平坦にならないので、配線層 8 8 をパターニングするためのリソグラフィ及びエッチングが困難になる。

【0011】上述のように、従来は配線層を平坦化する場合には、半導体基板の表面と配線層とを接続するコンタクトホールが深くなりコンタクトホールの加工及び埋め込みが困難になり、微細化を実現することができないという問題があった。

【0012】本発明は上記事情に鑑みてなされたもので、配線層の加工及び配線層と半導体基板とを接続するコンタクトホールの加工及び埋め込みが容易であり、微細化を実現することができる半導体記憶装置及びその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の半導体記憶装置は、トランジスタおよび強誘電体キャパシタを含むセルを有する半導体記憶装置において、半導体基板表面に第 1 の絶縁層を介して形成された前記強誘電体キャパシタと、前記強誘電体キャパシタを覆うように形成した第 2 の絶縁層の表面上に形成した第 1 の配線層と、前記第 1 の配線層を覆うように形成した第 3 の絶縁層の表面上に形成され、第 2 及び第 3 の絶縁層に開口したコンタクトホールを介して前記強誘電体キャパシタの上部電極に直

接接続された第 2 の配線層を備えることを特徴とする。

【0014】ここで、第 1 の絶縁層の内部に第 3 の配線層を形成してもよい。

【0015】また、キャパシタの上部電極とトランジスタの拡散層が第 3 の配線層を介して接続されていてもよい。

【0016】さらに、第 1 の配線層と第 2 の配線層の少なくとも一方が、少なくともアルミニウム又は銅のいずれか一方を含む材料からできていてもよい。

【0017】本発明の半導体記憶装置の製造方法は、トランジスタと強誘電体キャパシタを含むセルを有する装置の製造方法であって、半導体の基板表面に第 1 の絶縁層を形成する工程と、前記第 1 の絶縁層上に強誘電体キャパシタを形成する工程と、前記強誘電体キャパシタ上に覆うように第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜上に第 1 の配線層を形成する工程と、前記第 1 の配線層上に第 3 の絶縁膜を形成する工程と、前記第 3 の絶縁膜及び第 2 の絶縁膜にコンタクトホールを開口し前記強誘電体キャパシタの上部電極を露出させる工程と、前記第 3 の絶縁膜上に第 2 の配線層を形成する工程を有することを特徴とする。

【0018】ここで、第 1 の絶縁層の形成工程が 2 つ以上の絶縁層堆積工程からなり、第 1 の絶縁層内部に第 3 の配線層を形成する工程を有していてもよい。

【0019】また、第 1 の配線層または第 2 の配線層のうちの少なくともいずれか一方の材料がアルミニウムまたは銅を含んでいてもよい。

【発明の実施の形態】

【0020】以下、本発明の一実施の形態について図面を参照して説明する。

【0021】本発明の第 1 の実施の形態による半導体記憶装置の製造方法について素子の縦断面を示す図 1

(a)～図 1 (e) を用いて説明し、同半導体記憶装置の構成について図 1 (e) を用いて述べる。

【0022】図 1 に示されたように、半導体基板 1 1 の表面がセル領域と周辺回路領域とに分かれている。先ず図 1 (a) のように、セル領域と周辺領域とにおいてそれぞれ不純物がイオン注入されて拡散され、ドレイン拡散層 1 3 及びソース拡散層 1 4、ドレイン拡散層 1 6 及びソース拡散層 1 7 が形成される。半導体基板 1 1 上に、ゲート酸化膜を介してゲート電極 1 2、1 5 がそれぞれ形成される。

【0023】ゲート電極 1 2 及び 1 5 上に LPCVD (Low Pressure Chemical Vapor Deposition) 法により 1 層目の層間絶縁膜として BPSG 膜 1 8 が約 1800 nm の膜厚で堆積され、その表面が CMP (Chemical Mechanical Polishing) により平坦化されて膜厚が約 1000 nm となる。BPSG 膜 1 8 の表面上に、膜厚約 150 nm のシリコン窒化膜 1 9 が LPCVD 法により形成され、さらにその表面上に膜厚約 200 nm のシリ

コン酸化膜20がLPCVD法、プラズマCVD法、あるいは常圧CVD法により形成される。

【0024】ここでシリコン窒化膜19は、後のFRAMキャパシタの形成工程における酸素雰囲気中のアニール処理において、アニール処理によりトランジスタの特性が変動するのを防止するために、バリア層として形成されるものである。

【0025】図1(b)に示されたように、シリコン酸化膜20の表面上にチタン(Ti)、白金(Pt)が順にスパッタリングにより蒸着され、その表面上にチタン酸ジルコン鉛から成るPZT膜が形成され、さらにその表面上に白金がスパッタリングにより蒸着される。反応性イオンエッチング(以下、RIEという)により、上部の膜から順に下方に向かってパターニング加工が行われ、上部電極23、キャパシタ絶縁膜用の強誘電体膜22、下部電極21が形成され、これによりFRAM用キャパシタが構成される。ここで、強誘電体膜22にダメージが入って本来の特性と異なった場合には、摂氏約500度から650度の酸素雰囲気中でアニール処理を行うことで、回復することができる。またPZT膜の替わりに、ストロンチウム、ピスマス、チタンから成るSBT膜を形成してもよい。

【0026】図1(c)のようにプラズマCVD法により第2の層間絶縁膜として、例えばd-TEOS膜24が表面全体を覆うように形成される。このd-TEOS膜24はキャパシタの総膜厚よりも薄い、例えば200~300nm程度の膜厚でよい。d-TEOS膜24の膜厚が厚すぎると、後に形成するコンタクトホール32の深さが深くなり過ぎるので好ましくない。逆に、d-TEOS膜24の膜厚が薄すぎると、この膜24の表面上に形成する配線層をパターニングする際にエッチングにより除去されて、キャパシタを保護する役割を果たさなくなる。よって、d-TEOS膜24の膜厚は、キャパシタの保護膜としての役割を果たし、かつ必要以上に厚すぎないように設定すべきである。

【0027】写真蝕刻法によりパターニングを行った後に、図1(d)のようにRIEを用いてBPSG膜18、シリコン窒化膜19、シリコン酸化膜20、d-TEOS膜24を貫通し半導体基板11表面のソース拡散層14、17の表面が露出するコンタクトホール25、26が開孔する。スパッタリングにより表面全体を覆うようにTi膜が40nmの膜厚で形成され、さらにTiN膜27が60nmの膜厚で形成される。コンタクトホール25、26の内部にタングステン等の高融点金属がCVD法により堆積されて埋め込まれ、CDEエッチングバックによりコンタクトホール25、26以外の領域のコンタクト埋め込み材として用いるタングステン等の高融点金属が除去される。この時、下地のTi、TiNは除去されない。

【0028】表面全体にAlCuがスパッタリング法に

より400nmの膜厚で堆積され、Ti及びTiN膜27とともに配線形状にパターニングされて1層目の配線層28が形成される。従来の半導体記憶装置では、図3に示されたように1層目の配線層88がキャパシタ上の層間絶縁膜84の表面上に形成される。本実施の形態では、1層目の配線層28がキャパシタとほぼ同じ高さにあるd-TEOS膜24の表面上に形成される。従って、本実施の形態によれば従来よりも短い長さで平坦な膜の上に配線層を形成することが可能であり、リソグラフィの問題が回避され、パターニングの加工も容易である。

【0029】段差のある膜の表面上に配線層を形成する場合には、エッチングの対象となる膜の厚さが、平坦部よりも段差部では実効的に厚くなる。よって、より長い時間エッチングを行う必要が生じる。しかし、エッチング時間が長いと下地膜がエッチングにより除去される場合がある。本実施の形態では平坦なd-TEOS膜24上に配線層28を形成するため、このような問題を回避することができる。

【0030】図1(e)に示されたように、キャパシタ及び1層目の配線層28を覆うように、プラズマCVD法によりTEOS膜31が堆積される。TEOS膜31にCMPにより平坦化が行われ、1200nmの膜厚の3層目の層間絶縁膜となる。TEOS膜31に対してコンタクトホール32が開孔されて1層目の配線層28の表面が露出する。

【0031】TEOS膜31の表面及びコンタクトホール32の内面を覆うように、スパッタリング法又はCVD法によりTiN膜33が70nmの膜厚で堆積される。CVD法によりタングステン(W)等の高融点金属が堆積され、コンタクトホール33、35の内部が埋め込まれた後、CDEエッチバックによりコンタクトホール以外の領域のW等のコンタクト埋め込みに用いる金属とコンタクト側壁を覆っているTiN等の金属を除去する。

【0032】さらにTEOS膜31とd-TEOS膜24とにコンタクトホール35が開孔されて、上部電極23の表面が露出する。ここで、コンタクトホール32と同時にコンタクトホール35を開孔して高融点金属を埋め込んでもよいが、本実施の形態ではコンタクトホール35の形成を後に行っている。

【0033】これは、次のような理由によるものである。上部電極23とコンタクトをとるためのコンタクトホール35は、コンタクトホール32よりもアスペクト比が小さい。よって、高融点金属による埋め込みの必要性は小さい。また、アスペクト比が大きく異なるコンタクトホール35と同時に同一条件でコンタクトホール32を埋めることは困難である。さらに、埋め込みの際のダメージがキャパシタに及ばないように、コンタクトホール35には埋め込みを行わない方が好ましい。次に、

スパッタリング法又はCVD法によりTiN膜33を膜厚70nmで堆積し、さらにAlCu膜34を膜厚600nmで堆積した後に配線形状にパターニングし、2層目の配線層とする。これにより、キャパシタコンタクトプラグと上部電極23とを接続するキャパシタ電極配線が形成されることになる。

【0034】この後、表面全体を覆うようにパッシベーション膜36が形成され、図示されていないパッド部が開孔される。3層以上の装置を製造する場合には、同様な工程が繰り返されて配線層と層間絶縁膜とが形成され、パッシベーション膜の形成及びパッド部の開孔が行われる。

【0035】ここで、セル領域におけるトランジスタTrのゲート電極12は高融点金属により埋め込まれたコンタクトを介して図示されていないワード線WLに接続され、ドレイン拡散層13は高融点金属により埋め込まれたコンタクトを介して図示されていないビット線BLに接続されている。このビット線は、第1の配線層で形成しても、第2の配線層で形成してもよい。ソース拡散層14はコンタクトホール25を埋める高融点金属膜、1層目の配線層28、コンタクトホール32を埋める高融点金属膜、2層目の配線層34、コンタクトホール35を埋める配線材を介してキャパシタの上部電極23に接続され、下部電極21は図示されていないプレート線PLに接続されている。

【0036】以上の工程を経て得られた本実施の形態による半導体記憶装置は、次のような特徴を備えている。図3に示された従来の装置では、FRAMキャパシタの上部電極83と半導体基板71表面のソース拡散層74との接続を、1層目の配線層88を介して行っていた。そして、この1層目の配線層88はFRAMキャパシタを覆うように形成された絶縁層84上に形成されており、FRAMキャパシタとは形成されている高さが異なっている。このため、上述したように、1層目の配線層88と半導体基板81の表面とを接続するコンタクトホール85の深さが非常に深くなってしまい、コンタクトホールの形成及び埋め込みが困難であった。

【0037】これに対し、本実施の形態ではFRAMキャパシタの上部電極23と半導体基板11表面のソース拡散層14との接続を、1層目の配線層28のみならず2層目の配線層34を介して行っている。そして、1層目の配線層28がd-TEOS膜24上に形成されており、形成されている高さがFRAMキャパシタとほぼ同じである。これにより、1層目の配線層28と半導体基板11の表面とを接続するためのコンタクトホール25の深さが浅くなり、アスペクト比が小さくなる。よって、コンタクトホールの形成及び埋め込みが容易である。このことは、特に微細化の要求が厳しいFRAM混載ロジック製品において有利である。

【0038】さらに、本実施の形態によれば、FRAM

キャパシタを形成した後の工程で1層目及び2層目の配線層28、34を形成するので、次のような効果が得られる。FRAMキャパシタを形成する工程では、上述したように、強誘電体膜22にダメージがある場合にはその回復のために酸素雰囲気中で摂氏500℃～650℃のアニール処理を行う必要がある。このような処理を行う前に1層目の配線層を形成するときには、アルミニウムのような低融点の金属ではアニール処理中に融解してしまうので、タングステン等の高融点金属を用いなければならないが、タングステン等の高融点金属は一般にアルミニウムに比較して抵抗値が高いので、信号伝達速度の遅延等の問題が生じやすい。

【0039】しかし、本実施の形態ではFRAMキャパシタの形成後に1層目、2層目の全ての配線層28、34の形成を行うので、キャパシタのアニール処理の影響を受けることがない。従って、全ての配線層をアルミニウム等の抵抗値の低い配線材料で形成することが可能であり、装置の特性向上に寄与する。

【0040】本発明の第2の実施の形態による半導体記憶装置は、図2に示されるような断面構造を有している。半導体基板41の表面部分において、セル領域ではドレイン拡散層43、ソース拡散層44が形成され、周辺回路領域ではドレイン拡散層46、ソース拡散層47が形成されている。半導体基板41の表面上に図示されていないゲート酸化膜を介してゲート電極42、45が形成され、半導体基板41及びゲート電極42、45を覆うようにBPSG膜48が形成されている。

【0041】セル領域において、BPSG膜48に対してコンタクトホール66が形成されてドレイン拡散層44の表面が露出した後、1層目の配線層を形成する領域がエッチングにより除去される。BPSG膜48の表面がチタン膜49で覆われた後、タングステン等の高融点金属が埋め込まれてデュアルダマシーンによる配線層68が形成される。これにより、半導体基板41表面のソース拡散層44と1層目の配線層68とがコンタクトホールを介して接続される。

【0042】BPSG膜48及び配線層68の表面全体を覆うようにシリコン窒化膜50、シリコン酸化膜51が形成されている。シリコン酸化膜51上に、セル領域において下部電極52、強誘電体膜53、上部電極54が形成されてFRAMキャパシタが構成されている。このキャパシタとシリコン酸化膜51を覆うようにd-TEOS膜55が形成され、周辺回路領域においてTi及びTiN膜56及びAlCu膜57が形成され、1層目の配線層が構成されている。FRAMキャパシタ及び配線層57を覆うようにTEOS膜58が形成されている。セル領域において1層目の配線層68と接続をとるためのコンタクトホール62が開孔され、上部電極54と接続するためのコンタクトホール64が開孔され、さらに周辺回路領域において1層目の配線層57と接続す

るためのコンタクトホール 6 9 が開孔されている。コンタクトホール 6 2、6 4 及び 6 9 の内部に TiN 膜 6 1 が形成され、コンタクトホール 6 2 及び 6 9 の内部が高融点金属で埋め込まれている。TEOS 膜 5 8 上に 2 層目の配線層 6 3 が形成され、表面全体を覆うようにパッシベーション膜 6 5 が形成されている。

【0043】上記第 1 の実施の形態では、FRAM キャパシタとほぼ同じ高さに、セル領域及び周辺領域の両方において 1 層目の配線層 2 8 が形成されている。そして、セル領域において FRAM キャパシタの上部電極 2 3 と半導体基板 1 1 表面との接続が、2 層目の配線層 3 4 及び 1 層目の配線層 2 8 を介して行われている。

【0044】これに対して第 2 の実施の形態では、周辺領域では FRAM キャパシタとほぼ同じ高さに 1 層目の配線層 5 7 が形成されているが、セル領域では FRAM キャパシタよりも低い高さにタングステンによる配線層 6 8 が形成されている。この配線層 6 8 とコンタクトホール 6 6、2 層目の配線層 6 3 とコンタクトホール 6 4 及び 6 2 を介して上部電極 5 4 とソース拡散層 4 4 とが接続されている。

【0045】本実施の形態においても、2 層目の配線層 6 3 と 1 層目の配線層 4 9 とを接続するコンタクトホール 6 2 のアスペクト比が従来よりも小さいので、コンタクトホールの形成及び埋め込みが容易であり、微細化の要求にも対応することができる。

【0046】また、本実施の形態では 1 層目の配線層 6 8 が FRAM キャパシタよりも早い段階で形成される。従って、強誘電体膜 5 3 に対する酸素雰囲気中でのアニール処理の影響を受けて酸化されないように、配線層 6 8 を高融点金属で形成しなければならず、上記第 1 の実施の形態よりも配線抵抗が大きくなる。しかし、セル領域において 1 層目の配線層 6 8 と FRAM キャパシタとが上下方向に重なるように配置することができるので、セル面積の縮小に寄与する。特に、セル領域では周辺回路と比較して、動作速度よりもセル面積の縮小に対する要求が厳しいので、セル面積縮小の効果が得られるのは実際の製品において有用である。

【0047】上述した実施の形態は一例であり、本発明を限定するものではない。例えば、各々の配線層や絶縁層の材料あるいは形成方法はいずれも一例であって、他の材料を用いて他の方法により形成してもよい。

【0048】

【発明の効果】以上説明したように、請求項 1 記載の半導体記憶装置によれば、強誘電体キャパシタの上部電極に直接接続された配線層よりも下層に、この配線層と同

一材料から成る配線層が形成されているので、配線層に好適な材料で 2 層の配線層を構成することが可能であり、また下層側の配線層の加工及び平坦化が容易である。請求項 2、3 記載の半導体記憶装置及び請求項 5、6 記載の製造方法によれば、強誘電体キャパシタよりも後の工程で第 1 の配線層を形成するため、強誘電体キャパシタの工程でのアニールで配線材料が融解する等の問題が起こらない。従って、配線材料として高融点金属を使用する必要がなく、例えばアルミニウム等の低抵抗の材料を配線として使用することができる。また第 1 のコンタクトホールの加工及び埋め込みが容易で微細化に寄与する。

【0049】請求項 2、4 記載の半導体記憶装置及び請求項 7 記載の製造方法によれば、第 1 のコンタクトホールの加工及び埋め込みが容易であるとともに、第 1 の配線層と強誘電体キャパシタとを絶縁膜を介して上下に重なるように形成することで微細化の達成が可能である。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態による半導体記憶装置の製造方法を工程別に示した素子の縦断面図。

【図 2】本発明の第 2 の実施の形態による半導体記憶装置の製造方法を工程別に示した素子の縦断面図。

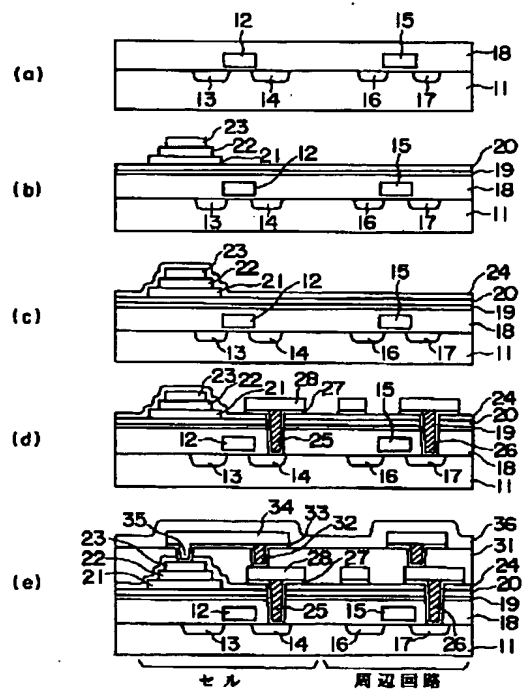
【図 3】従来の半導体記憶装置の製造方法を工程別に示した素子の縦断面図。

【図 4】本発明を適用することが可能な半導体記憶装置のセルの構成を示した回路図。

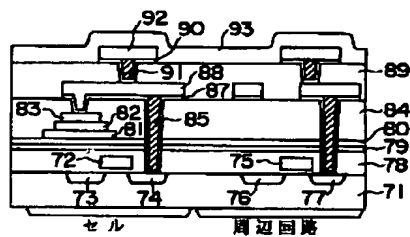
【符号の説明】

- 11、41 半導体基板
- 12、15、42、45 ゲート電極
- 13、16、43、46 ドレイン拡散層
- 14、17、44、47 ソース拡散層
- 18、48 BPSC 膜
- 19、50 シリコン窒化膜
- 20、51 シリコン酸化膜
- 21、52 下部電極
- 22、53 強誘電体膜
- 23、54 上部電極
- 24、58 d-BPSC 膜
- 25、26、32、35、62、64、66、69 コンタクトホール
- 27、33、49、61 TiN 膜
- 28、34、63 配線層 (AlCu 膜)
- 31、58 TEOS 膜
- 36、65 パッシベーション膜
- 68 配線層 (タングステン膜)

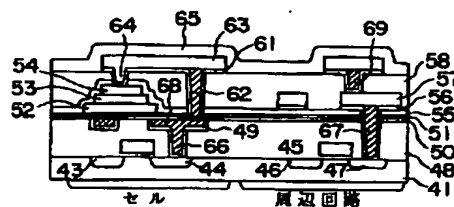
【図1】



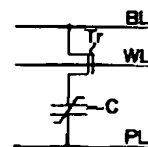
【図3】



【図2】



【図4】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

29/788

29/792

識別記号

F I

テマコード (参考)